

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-078405
 (43)Date of publication of application : 14.03.2003

(51)Int.Cl.

H03K 19/0175
G11C 11/407

(21)Application number : 2001-261160

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.08.2001

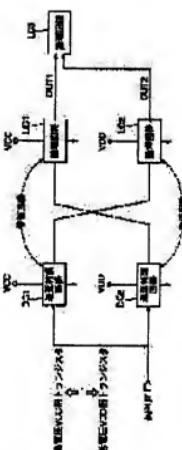
(72)Inventor : NAKAYAMA ATSUSHI
NAMEGAWA TOSHIMASA

(54) ELECTRONIC CIRCUIT AND SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a malfunction from occurring in a circuit of a post stage by offsetting dispersion of delay times which occur in an output of a circuit to which a plurality of power supply voltages are supplied.

SOLUTION: Logic circuits LC1 and LC2 must have their operations synchronized with a common input signal INPUT. However, power supply voltages VCC and VDD which can respectively and independently fluctuate are supplied, and the logic circuits LC1 and LC2 are also composed of transistors having a characteristic that can independently fluctuate. But, a delay compensation circuit DC2 to which a power supply voltage VDD similar to that of the logic circuit LC2 and which is composed of transistors having the same characteristic as those of the logic circuit LC2 is inserted into an input side of the logic circuit LC1, and a delay compensation circuit DC1 to which a power supply voltage VCC similar to that of the logic circuit LC1 and which is composed of transistors having the same characteristic as those of the logic circuit LC1 is inserted into an input side of the logic circuit LC2. Thereby, it is possible to ensure synchronization by offsetting fluctuation influence.



LEGAL STATUS

[Date of request for examination] 08.03.2005
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(51) Int. Cl. 7

H03K 19/0175

G11C 11/407

識別記号

F I

H03K 19/00

G11C 11/34

マークコード (参考)

N 5J056

354 C 5M024

354 F

審査請求 未請求 請求項の数14 O L (全19頁)

(21)出願番号 特願2001-261160(P 2001-261160)

(22)出願日 平成13年8月30日(2001.8.30)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 中山篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 行川敏正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100075812

弁理士 吉武賢次 (外4名)

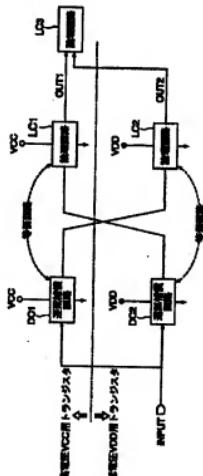
最終頁に続く

(54)【発明の名称】電子回路及び半導体記憶装置

(57)【要約】

【課題】複数の電源電圧が供給される回路の出力に生じる遅延時間のばらつきを相殺して、後段の回路に誤動作が生じることを防止する。

【解決手段】論理回路LC1とLC2とは、共通の入力信号INPUT1により動作を同期させる必要がある。しかし、それぞれ独立して変動し得る電源電圧VCC、VDDが供給され、また独立して変動し得る特性を有するトランジスタで構成されている。しかし、論理回路LC1の入力側に、論理回路LC2と同様に電源電圧VDDが供給され、論理回路LC2と同等の特性を有するトランジスタで構成された遅延補償回路DC2を挿入し、論理回路LC2の入力側に、論理回路LC1と同様に電源電圧VCCが供給され、論理回路LC1と同等の特性を有するトランジスタで構成された遅延補償回路DC1を挿入することで、変動の影響を相殺して同期を確保することができる。



【特許請求の範囲】

【請求項1】第1の電源電圧が供給され、第1の信号が入力され、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、

第2の電源電圧が供給され、前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、

前記第1の電源電圧が供給され、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、第1の論理演算を行って第1の演算結果を出力する第1の論理回路と、

前記第2の電源電圧が供給され、前記第1の遅延補償回路から出力された前記第1の出力信号が与えられ、第2の論理演算を行って第2の論理演算結果を出力する第2の論理回路と、

を備えることを特徴とする電子回路。

【請求項2】第1の電源電圧が供給され、第1の特性を有するトランジスタを含み、第1の信号が入力され、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、

第2の電源電圧が供給され、第2の特性を有するトランジスタを含み、前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、

前記第1の電源電圧が供給され、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、第1の論理演算を行って第1の演算結果を出力する第1の論理回路と、

前記第2の電源電圧が供給され、前記第1の遅延補償回路から出力された前記第1の出力信号が与えられ、第2の論理演算を行って第2の演算結果を出力する第2の論理回路と、

を備えることを特徴とする電子回路。

【請求項3】前記第1の電源電圧は前記第2の電源電圧より高く、

前記第1の入力信号は、ハイレベルのとき前記第2の電源電圧と同レベルであり、

前記第1の入力信号が与えられ、ハイレベルのときの前記第2の電源電圧を前記第1の電源電圧に昇圧して前記第1の遅延補償回路に与える第1の昇圧回路と、前記第2の遅延補償回路から出力された、ハイレベルのとき前記第2の電源電圧と同レベルである前記第2の出力信号が与えられ、ハイレベルのときの前記第2の電源電圧を前記第1の電源電圧に昇圧して前記第1の論理回路に与える第2の昇圧回路とをさらに備えることを特徴とする請求項1又は2記載の電子回路。

【請求項4】ハイレベルのとき第2の電圧を有する第1の信号が入力され、この第2の電圧を第1の電圧に昇圧して前記第1の信号を出力する第1のレベルシフタと、前記第1の電圧を有する第1の電源電圧が供給され、前

記第1のレベルシフタから出力された前記第1の信号が与えられ、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、

前記第1の遅延補償回路から出力されたハイレベルのとき前記第1の電圧を有する前記第1の出力信号が与えられ、この第1の電圧を前記第2の電圧に降圧して前記第1の出力信号を出力する第2のレベルシフタと、

前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、

前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧する第3のレベルシフタと、

前記第1の電源電圧が供給され、前記第3のレベルシフタから出力された前記第2の出力信号が与えられ、第1の論理動作を行って第1の演算結果を出力する第1の論理回路と、

20 前記第2の電圧を有する第2の電源電圧が供給され、前記第2のレベルシフタから出力された前記第1の出力信号が与えられ、第2の論理動作を行って第2の演算結果を出力する第2の論理回路と、
を備えることを特徴とする電子回路。

【請求項5】前記第1の遅延補償回路は、Nビットのアドレスが入力され、このうちの1ビットのアドレスと前記第1の電源電圧とが入力され、AND演算を行って出力する第1の演算素子をN (Nは1以上の整数) ビット分有し、

前記第2の遅延補償回路は、Nビットのアドレスが入力され、このうちの1ビットのアドレスと前記第2の電源電圧とが入力され、AND演算を行って出力する第2の演算素子をN (Nは1以上の整数) ビット分有し、

前記第1の論理回路は、前記第2の遅延補償回路から出力されたNビットの信号に含まれる二つであって、それぞれについて反転され又は非反転の信号が入力され、A ND演算を行って出力する第3の演算素子をNビット分有し、

前記第2の論理回路は、前記第1の遅延補償回路から出力されたNビットの信号に含まれる二つであって、それぞれについて反転され又は非反転の信号が入力され、A ND演算を行って出力する第4の演算素子をNビット分有することを特徴とする請求項1乃至4のいずれかに記載の電子回路。

【請求項6】前記第1の遅延補償回路は、前記第1の論理回路と略同一の信号遅延をもたらす電気的に等価な回路構成を有し、

前記第2の遅延補償回路は、前記第2の論理回路と略同一の信号遅延をもたらす電気的に等価な回路構成を有することを特徴とする請求項1乃至5のいずれかに記載の

3

電子回路。

【請求項7】前記第1の信号は、前記第1の論理回路の前記第1の論理演算と前記第2の論理回路の前記第2の論理演算とを同期させるためのタイミング信号であることを特徴とする請求項1乃至6のいずれかに記載の電子回路。

【請求項8】複数本のビット線に複数のメモリセルが接続されたメモリセルアレイと、

各々の前記ビット線に設けられ、前記ビット線を選択するカラム選択ゲートと、

前記カラム選択ゲートを選択的に駆動するカラム選択信号を生成するカラムデコーダと、

各々の前記カラム選択ゲート毎に設けられ、対応する前記カラム選択ゲートから出力されたデータが与えられ、増幅して出力するデータバッファと、

前記データバッファを選択的に駆動するデータバッファ駆動信号を生成するデータバッファ制御論理回路と、

第1の電源電圧が供給され、タイミング信号が入力され、第1の所定時間遅延した第1の出力信号を前記データバッファ制御論理回路に出力する第1の遅延補償回路と、

第2の電源電圧が供給され、前記タイミング信号が入力され、第2の所定時間遅延した第2の出力信号を前記カラムデコーダに出力する第2の遅延補償回路と、

を備えることを特徴とする半導体記憶装置。

【請求項9】複数本のビット線に複数のメモリセルが接続されたメモリセルアレイと、

各々の前記ビット線に設けられ、前記ビット線を選択するカラム選択ゲートと、

前記カラム選択ゲートを選択的に駆動するカラム選択信号を生成するカラムデコーダと、

各々の前記カラム選択ゲート毎に設けられ、対応する前記カラム選択ゲートから出力されたデータが与えられ、増幅して出力するデータバッファと、

前記データバッファを選択的に駆動するデータバッファ駆動信号を生成するデータバッファ制御論理回路と、

ハイレベルのとき第2の電圧を有するタイミング信号が入力され、この第2の電圧を第1の電圧に昇圧して前記タイミング信号を出力する第1のレベルシフタと、

前記第1の電圧を有する第1の電源電圧が供給され、前記第1のレベルシフタから出力された前記タイミング信号が与えられ、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、

前記第1の遅延補償回路から出力されたハイレベルのとき前記第1の電圧を有する前記第1の出力信号が与えられ、この第1の電圧を前記第2の電圧に降圧して前記第1の出力信号を前記データバッファ制御論理回路に出力する第2のレベルシフタと、

前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記タイミング信号が入力され、第1の所定時間遅延した第1の出力信号

2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、

前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧し、前記カラムデコーダに出力する第3のレベルシフタと、

を備えることを特徴とする半導体記憶装置。

【請求項10】前記カラムデコーダは、カラムアドレスが入力され、前記タイミング信号に従ってデコードを行ない前記カラム選択信号を生成する構成を有し、

前記第1の遅延補償回路は、前記カラムアドレスの替わりに前記第1の電源電圧が入力され、前記タイミング信号に従ってデコードを行い前記データバッファ制御論理回路に出力する構成を有し、

前記データバッファ制御論理回路は、出力制御信号が入力され、保持して出力する第1のラッチ回路と、前記第1のラッチ回路から出力された前記出力制御信号と前記タイミング信号が与えられ、AND演算を行って前記データバッファ駆動信号を出力する第1の演算素子とを有し、

前記第2の遅延補償回路は、前記出力制御信号の替わりに前記第2の電源電圧が入力され、保持して出力する第2のラッチ回路と、前記第2のラッチ回路から出力された前記第2の電源電圧と前記タイミング信号が与えられ、AND演算を行って前記カラムデコーダに出力する第2の演算素子とを有することを特徴とする請求項8又は9記載の半導体記憶装置。

【請求項11】前記第1の遅延補償回路は、前記カラムデコーダと略同一の信号遅延をもたらす電気的に等価な回路構成を有し、

前記第2の遅延補償回路は、前記データバッファ制御論理回路と略同一の信号遅延をもたらす電気的に等価な回路構成を有することを特徴とする請求項8乃至10のいずれかに記載の半導体記憶装置。

【請求項12】複数本のワード線とこのワード線に直交する複数のビット線との交点に複数のメモリセルが接続されたメモリセルアレイと、

前記ワード線を選択的に駆動するワード線選択信号を生成するロードデコーダと、

各々の前記ビット線毎に設けられ、対応する前記ビット線から出力されたデータを検知して出力するセンスアンプと、

前記センスアンプを選択的に駆動するセンスアンプ駆動信号を生成するセンスアンプ制御回路と、

ハイレベルのとき第2の電圧を有するタイミング信号が入力され、この第2の電圧を第1の電圧に昇圧して前記タイミング信号を出力する第1のレベルシフタと、

前記第1の電圧を有する第1の電源電圧が供給され、前記第1のレベルシフタから出力された前記タイミング信号が与えられ、第1の所定時間遅延した第1の出力信号

を出力する第1の遅延補償回路と、

前記第1の遅延補償回路から出力されたハイレベルのとき前記第1の電圧を有する前記第1の出力信号が与えられ、この第1の電圧を前記第2の電圧に昇圧して前記第1の出力信号を前記センスアンプ制御回路に出力する第2のレベルシフタと、

前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記タイミング信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、

前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧し、前記ローデコーダーに出力する第3のレベルシフタと、

を備えることを特徴とする半導体記憶装置。

【請求項1-3】前記ローデコーダーは、ロードアドレスが入力され、前記タイミング信号に従ってデコードを行い前記ワード線選択信号を生成する構成を有し、

前記第1の遅延補償回路は、前記ロードアドレスの替わりに所定の電圧が入力され、前記タイミング信号に従ってデコードを行い前記第2のレベルシフタに出力する構成を有し、

前記センスアンプ駆動回路は、センスアンプ活性化信号が入力され、保持して出力する第1のラッチ回路と、前記第1のラッチ回路から出力された前記センスアンプ活性化信号と前記タイミング信号が与えられ、AND演算を行って前記センスアンプ駆動信号を出力する第1の演算素子とを有し、

前記第2の遅延補償回路は、前記センスアンプ活性化信号の替わりに前記第2の電源電圧が入力され、保持して出力する第2のラッチ回路と、前記第2のラッチ回路から出力された前記第2の電源電圧と前記タイミング信号が与えられ、AND演算を行って前記第3のレベルシフタに出力する第2の演算素子とを有することを特徴とする請求項1-2記載の半導体記憶装置。

【請求項1-4】前記第1の遅延補償回路は、前記ローデコーダーと略同一の信号遅延をもたらす電気的に等価な回路構成を有し、

前記第2の遅延補償回路は、前記センスアンプ制御回路と略同一の信号遅延をもたらす電気的に等価な回路構成を有することを特徴とする請求項1-2又は1-3記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路及び半導体記憶装置に関する。

【0002】

【従来の技術】近年、半導体回路の高集積化が進み、半導体装置の高機能化、小面積化、高速化、低消費電力化等の高性能化が図られている。このような進歩は、MO

Sトランジスタの微細化によるところが大きい。

【0003】ところで、MOSトランジスタを微細化するためには、電源の低電圧化が必要になる。これにより、MOSトランジスタのゲート酸化膜を薄膜化することが可能になり、MOSトランジスタのショートチャネル効果を抑制することができるからである。しかし、逆にこの低電圧用のMOSトランジスタには、高電圧の電源や信号線に接続することができないという問題がある。

【0004】また、チップ内には電源電圧を下げる事が適当でない回路が存在する。例えば、チップ外部との信号線の入出力を司るI/Oセルや、アナログ回路、DRAM等の半導体記憶装置におけるメモリセルの選択ゲート等がこのような回路に相当する。

【0005】そこで、1つのチップに複数の電源電圧を供給するという手法が採用されている。また最近では、高電圧用と低電圧用の複数種類のトランジスタを同一チップ上に形成し、それぞれのトランジスタを最適化し、特性向上を目指すことが一般的になりつつある。

【0006】ここで、高電圧用トランジスタは、低電圧用トランジスタに比べて微細化が困難であり、面積、高速性、消費電力において不利な面を有する。I/Oセルやアナログ回路等には、一律に高電源電圧を供給し、さらに高電圧用トランジスタを用いることにより、設計の手間を軽減することが可能であるが、面積や高速性、消費電力等において、不利を被ることを許容しなければならない。このような回路の高性能化を目指すためには、必要な部分にのみ高電源電圧を供給し高電圧用トランジスタを用い、制御回路や高速な信号経路には低電源電圧を供給し低電圧用トランジスタを用いるという、きめ細かな設計が必要になる。

【0007】その際に生じる課題の一つは、高電圧回路と低電圧回路との間で動作速度等に関する回路特性を互いに合わせるということである。

【0008】多電源電圧を用いる場合の従来の手法として、外部から供給された一つの電源電圧から必要とされる他の電源電圧を内部で生成するというものがある。これは、主に半導体記憶装置において用いられてきた技術である。この手法の利点は、内部で生成した電源電圧を外部から供給された電源電圧に依存するように制御することが可能であり、複数の電源電圧がそれぞれ独立に変動することにより生じる回路特性の不整合を抑制することができるにあつる。しかし、この手法には、内部電源回路の面積が大きく、高集積化の妨げになるという不利な面が存在する。さらに、この手法では、電源電圧の独立した変動は抑制できても、複数種類のトランジスタ特性がプロセス変動等によりそれぞれ独立に変動して生じる回路特性の不整合に対しても対応することができない。

【0009】

【発明が解決しようとする課題】 上述したように、従来は複数の電源電圧が外部から供給されてそれぞれ動作する回路において生じる不整合を、あるいは複数のトランジスタ特性が独立して変動することにより生じる不整合を、高速化を妨げることなく解消することができなかつた。

【0010】本発明は上記事情に鑑みてなされ、複数の電源電圧が供給されてそれぞれ動作する回路に生じる遅延時間のばらつきがもたらす誤動作を回避することにより、回路動作を安定させかつ高速動作を実現することが可能な電子回路及び半導体記憶装置を提供することを目的とする。

[0 0 1 1]

【課題を解決するための手段】本発明の電子回路は、第1の電源電圧が供給され、第1の信号が入力され、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、第2の電源電圧が供給され、前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、前記第1の電源電圧が供給され、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、第1の論理演算を行って第1の論理演算結果を出力する第1の論理回路と、前記第2の電源電圧が供給され、前記第1の遅延補償回路から出力された前記第1の出力信号が与えられ、第2の論理演算を行って第2の論理演算結果を出力する第2の論理回路とを備えることを特徴とする。

〔0012〕また本発明の電子回路は、第1の電源電圧が供給され、第1の特性を有するトランジスタを含み、第1の信号が入力され、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、第2の電源電圧が供給され、第2の特性を有するトランジスタを含み、前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、前記第1の電源電圧が供給され、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、第1の論理演算を行って第1の演算結果を出力する第1の論理回路と、前記第2の電源電圧が供給され、前記第1の遅延補償回路から出力された前記第1の出力信号が与えられ、第2の論理演算を行って第2の演算結果を出力する第2の論理回路とを備えることを特徴とする。

記第1の出力信号を出力する第2のレベルシフタと、前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記第1の信号が入力され、第2の所定時間遅延した第2の出力信号を出力する第2の遅延補償回路と、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧する第3のレベルシフタと、前記第1の電源電圧が供給され、前記第3のレベルシフタから出力された前記第2の出力信号が与えられ、第1の論理動作を行って第1の演算結果を出力する第1の論理回路と、前記第2の電圧を有する第2の電源電圧が供給され、前記第2のレベルシフタから出力された前記第1の出力信号が与えられ、第2の論理動作を行って第2の演算結果を出力する第2の論理回路とを備えることを特徴とする。

【0014】本発明の半導体記憶装置は、複数本のピット線に複数のメモリセルが接続されたメモリセルアレイと、各々の前記ピット線に設けられ、前記ピット線を選択するカラム選択ゲートと、前記カラム選択ゲートを選択的に駆動するカラム選択信号を生成するカラムdecode²⁰タと、各々の前記カラム選択ゲート毎に設けられ、対応する前記カラム選択ゲートから出力されたデータが与えられ、増幅して出力するデータバッファと、前記データバッファを選択的に駆動するデータバッファ駆動信号を生成するデータバッファ制御論理回路と、第1の電源電圧が供給され、タイミング信号が入力され、第1の所定時間遅延した第1の出力信号を前記データバッファ制御論理回路に出力する第1の遅延補償回路と、第2の電源電圧が供給され、前記タイミング信号が入力され、第2の所定時間遅延した第2の出力信号を前記カラムdecode³⁰タに出力する第2の遅延補償回路とを備えることを特徴とす。

〔0015〕また本発明の半導体配線装置は、複数本のビット線に複数のメモリセルが接続されたメモリセルアレイと、各々の前記ビット線に設けられ、前記ビット線を選択するカラム選択ゲートと、前記カラム選択ゲートを選択的に駆動するカラム選択信号を生成するカラムデコードと、各々の前記カラム選択ゲート毎に設けられ、対応する前記カラム選択ゲートから出力されたデータが与えられ、増幅して出力するデータバッファと、前記データバッファを選択的に駆動するデータバッファ駆動信号を生成するデータバッファ駆動回路と、ハイレベルのとき第2の電圧を有するタイミング信号が入力され、この第2の電圧を第1の電圧に昇圧して前記タイミング信号を出力する第1のレベルシフタと、前記第1の電圧を有する第1の電源電圧が供給され、前記第1のレベルシフタから出力された前記タイミング信号が与えられ、第1の所定時間遅延した第1の出力信号を出力する第1の遅延補償回路と、前記第1の遅延補償回路から出力されたハイレベルのとき前記第1の電圧を有する前記

第1の出力信号が与えられ、この第1の電圧を前記第2の電圧に昇圧して前記第1の出力信号を前記データバッファ制御論理回路に投入する第2のレベルシフトと、前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記タイミング信号が投入され、第2の所定時間遅延した第2の出力信号を投入する第2の遅延補償回路と、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧し、前記カラムデコーダに投入する第3のレベルシフトとを備えることを特徴とする。

【0 0 1 6】さらに本発明の半導体記憶装置は、複数本のワード線とこのワード線に直交する複数のビット線との交点に複数のメモリセルが接続されたメモリセルアレイと、前記ワード線を選択的に駆動するワード線選択信号を生成するローデコーダと、各々の前記ビット線毎に設けられ、対応する前記ビット線から出力されたデータを検知して出力するセンサアンプと、前記センサアンプを選択的に駆動するセンサアンプ駆動信号を生成するセンサアンプ制御回路と、ハイレベルのとき第2の電圧を有するタイミング信号が投入され、この第2の電圧を第1の電圧に昇圧して前記タイミング信号を投入する第1のレベルシフトと、前記第1の電圧を有する第1の電源電圧が供給され、前記第1のレベルシフトから出力された前記タイミング信号が与えられ、第1の所定時間遅延した第1の出力信号を投入する第1の遅延補償回路と、前記第1の遅延補償回路から出力されたハイレベルのとき前記第1の電圧を有する前記第1の出力信号が与えられ、この第1の電圧を前記第2の電圧に昇圧して前記第1の出力信号を前記センサアンプ制御回路に投入する第2のレベルシフトと、前記第2の電源電圧が供給され、ハイレベルのとき前記第2の電圧を有する前記タイミング信号が投入され、第2の所定時間遅延した第2の出力信号を投入する第2の遅延補償回路と、前記第2の遅延補償回路から出力された前記第2の出力信号が与えられ、この第2の出力信号がハイレベルのときの前記第2の電圧を前記第1の電圧に昇圧し、前記ローデコーダに投入する第3のレベルシフトとを備えることを特徴とする。

【0 0 1 7】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0 0 1 8】 (1) 第1の実施の形態

本発明の第1の実施の形態による電子回路について、図1を用いて説明する。

【0 0 1 9】本実施の形態は、それぞれ異なる電源電圧VCC、VDD (VCC>VDDとする) を供給されて動作する論理回路LC1、LC2、LC3を有する。

【0 0 2 0】論理回路LC1は、電源電圧VCCが供給され、入力信号INPUTが与えられて論理演算を行い、その

結果として信号OUT1を出力する。論理回路LC2は、電源電圧VDDが供給され、同じ入力信号INPUTが与えられて論理演算を行って信号OUT2を出力する。ここで、入力信号INPUTは、論理回路LC1、LC2のそれぞれの論理演算を同期させるための信号であり、例えばクロック等のタイミング信号が相当する。論理回路LC3は、ハイレベルのとき電源電圧VCCと同レベルの信号OUT1と、ハイレベルのとき電源電圧VDDと同レベルの信号OUT2とが与えられて論理演算を行う。

【0 0 2 1】論理回路LC1における回路動作で生じる遅延時間は、電源電圧VCCの電圧変動に依存し、またこの回路LC1を構成するトランジスタの特性に依存する。また論理回路LC2における回路動作により生じる遅延時間は、電源電圧VDDの電圧変動に依存し、またこの回路LC2を構成するトランジスタの特性に依存する。

【0 0 2 2】そこで、本実施の形態では、論理回路LC1と略同一の信号遅延をもたらす電気的に等価な回路構成を有する遅延補償回路DC1と、論理回路LC2と略同一の信号遅延をもたらす電気的に等価な回路構成を有する遅延補償回路DC2とを設けている。

【0 0 2 3】遅延補償回路DC1は、電源電圧VCCが供給され、入力信号INPUTが与えられて第1の遅延時間だけ遅延した後、論理回路LC2に投入する。遅延補償回路DC2は、電源電圧VDDが供給され、入力信号INPUTが与えられて第2の遅延時間だけ遅延した後、論理回路LC1に投入する。

【0 0 2 4】ここで、遅延補償回路DC1は論理回路LC1と共通の電源電圧VCCが供給されて動作し、かつ論理回路LC1を構成するトランジスタと同等の特性を有するトランジスタにより構成されている。遅延補償回路DC2は論理回路LC2と共通の電源電圧VDDが供給されて動作し、かつ論理回路LC2を構成するトランジスタと同等の特性を有するトランジスタにより構成されている。

【0 0 2 5】このような構成とすることで、論理回路LC1からの出力信号OUT1と、論理回路LC2からの出力信号OUT2とは、共に電源電圧VCC及びVDDに依存した遅延特性を有することになる。即ち、電源電圧VCC、VDDが相互に独立して電圧変動した場合にも、出力信号OUT1、OUT2はいずれも同程度の時間だけ遅延することになる。

【0 0 2 6】また、信号OUT1、OUT2は、いずれも論理回路LC1及びLC2を構成するそれぞれのトランジスタの特性に共に依存して遅延することになる。よって、製造プロセス等の変動によって論理回路LC1、LC2のいずれかのトランジスタの特性が独立して変動した場合にも、出力信号OUT1、OUT2は同程度の時間だけ遅延することになる。

【0 0 2 7】この結果、相互に独立して変動する電源電

圧 VCC、VDD の影響、また相互に独立して製造プロセス等により変動し得る論理回路 LC1、LC2 のトランジスタ特性の影響が output 信号 OUT1、OUT2 に及ぶことを相殺し、信号 OUT1、OUT2 の出力が与えられて動作する後段の論理回路 LC3 に誤動作が生じるのを防止して、回路動作の安定化及び高速化を実現することができる。

【 0 0 2 8 】 (2) 第 2 の実施の形態

本発明の第 2 の実施の形態による半導体記憶装置について、図 2 を用いて説明する。

【 0 0 2 9 】 本実施の形態は、上記第 1 の実施の形態を

DRAM (Dynamic Random Access Memory) に適用したものに相当する。ここで、上記第 1 の実施の形態における論理回路 LC1 はカラムデコーダ CD に対応し、電源電圧 VCC が供給され、クロック CLK Cp が与えられてカラム選択信号 CSL を生成して出力する。論理回路 LC2 は DQ 制御論理回路 DQCL に対応し、電源電圧 VDD (VCC > VDD) が供給され、クロック CLK Cp が与えられてデータバッファ駆動信号 QSE を生成して出力する。論理回路 LC3 は、カラム選択ゲート、データバッファを含む回路に対応する。また、カラムデコーダ CD、DQ 制御論理回路 DQCL は、それぞれを構成するトランジスタ特性が異り、製造プロセス等により独立して変動し得るものとする。

【 0 0 3 0 】 カラムデコーダ CD が output するカラム選択信号 CSL は、所定時間、図示されていないメモリセルの出力側に接続されたビット線を選択してデータ線に接続するためのパルス状の信号であり、ハイレベルのときの電圧は電源電圧 VCC と同レベルである。

【 0 0 3 1 】 そして、カラムデコーダ CD の入力側には、遅延補償回路 DC2、CSL パルス発生器 CSL PG、VDD/VCC レベルシフタ LS3 が直列に挿入されている。

【 0 0 3 2 】 一方、DQ 制御論理回路 DQCL が output するデータバッファ駆動信号 QSE は、所定時間、データ線に設けられたデータバッファを選択的に駆動するためのパルス状の信号であり、ハイレベルのときの電圧は電源電圧 VDD と同レベルである。

【 0 0 3 3 】 DQ 制御論理回路 DQCL の入力側には、VDD/VCC レベルシフタ LS1、遅延補償回路 DC1、VCC/VDD レベルシフタ LS2、DQ パルス発生器 DQ PG が直列に挿入されている。

【 0 0 3 4 】 VDD/VCC レベルシフタ LS1 にクロック CLK Cp が入力されるが、このクロック CLK Cp はハイレベルのとき電源電圧 VDD と同じレベルを有する。そこで、VDD/VCC レベルシフタ LS1 により、ハイレベルのときの電圧は電源電圧 VCC と同レベルになるようシフトされる。

【 0 0 3 5 】 遅延補償回路 DC1 は電源電圧 VCC が供給され、カラムデコーダ CD と略同一の遅延特性を有するよう電気的に等価な回路構成を有し、またカラムデコ

ード CD と同等の特性を有するトランジスタを含むよう構成されている。従って、遅延補償回路 DC1 から出力されたクロック CLK Cp は、電源電圧 VCC の変動の影響、あるいはカラムデコーダ CD を構成するトランジスタと同様に製造プロセス等の変動の影響を受けて遅延することになる。

【 0 0 3 6 】 VCC/VDD レベルシフタ LS2 は、遅延補償回路 DC1 から出力されたクロック CLK Cp におけるハイレベルのときの電圧を、電源電圧 VCC レベルから電源電圧 VDD レベルにシフトする。

【 0 0 3 7 】 DQ パルス発生器 DQ PG は電源電圧 VDD が供給され、レベルシフタ LS2 から出力されたクロック CLK Cp における立ち上がりエッジを検出してハイレベルになり、クロック CLK Cp のパルス幅より短い所定時間経過後にローレベルに戻る信号を出力する。この信号を用いることで、DQ 制御論理回路 DQCL において、クロック CLK Cp のパルス幅の変動の影響を受けることなく、正確に立ち上がりエッジに同期した動作を実現することができる。

【 0 0 3 8 】 この DQ パルス発生器 DQ PG からの出力が DQ 制御論理回路 DQCL に与えられ、データバッファ駆動信号 QSE を出力する。

【 0 0 3 9 】 一方、遅延補償回路 DC2 はクロック CLK Cp が与えられ、電源電圧 VDD が供給されて動作し、DQ 制御論理回路 DQCL と略同一の遅延特性を有するよう電気的に等価な回路構成を有し、また DQ 制御論理回路 DQCL と同等の特性を有するトランジスタを含むよう構成されている。従って、遅延補償回路 DC2 から出力されたクロック CLK Cp は、電源電圧 VDD の変動の影響、あるいは DQ 制御論理回路 DQCL を構成するトランジスタと同様に製造プロセス等の変動の影響を受けて遅延することになる。

【 0 0 4 0 】 CSL パルス発生器 CSL PG は電源電圧 VDD が供給され、遅延補償回路 DC2 から出力されたクロック CLK Cp における立ち上がりエッジを検出してハイレベルになり、クロック CLK Cp のパルス幅より短い所定時間経過後にローレベルに戻る信号を出力する。この信号を用いることで、カラムデコーダ CD において、クロック CLK Cp のパルス幅の変動の影響を受けることなく、正確に立ち上がりエッジに同期した動作を実現することができる。

【 0 0 4 1 】 VDD/VCC レベルシフタ LS3 は、CSL パルス発生器 CSL PG から出力されたパルスにおけるハイレベルを、電源電圧 VDD レベルから電源電圧 VCC レベルにシフトする。

【 0 0 4 2 】 カラムデコーダ CD は、レベルシフタ LS3 から出力された信号を与えられて、カラム選択信号 CSL を生成して出力する。

【 0 0 4 3 】 本実施の形態によれば、外部から入力された複数の電源電圧が独立に変動することによって生じる

複数の論理回路間の遅延の不整合、また複数の特性を有するトランジスタを用いて構成された論理回路において、各々のトランジスタ特性がプロセス変動等により独立に変動することによって生じる遅延の不整合を挿し、回路動作を安定化させ、さらには電子回路の高速動作を可能にすることができる。

【0044】(3) 第3の実施の形態

本発明の第3の実施の形態は、図3に示されるように、上記第2の実施の形態におけるカラムデコーダCD及びDQ制御論理回路DQCLの出力側に具体的な回路を接続したものに相当する。

【0045】複数のワード線WL0～WL3とビット線BL0～BL3とが直交するように配設され、その交点にメモリセルMCが配置されたメモリセルアレイMCAが設けられている。

【0046】ワード線WL0～WL3は、ロードレスRAを入力されてデコードするロードコーダRDによりいずれかが選択される。

【0047】ビット線BL0～BL3にはそれぞれカラム選択ゲートCSG0～CSG3の入力側が設けられており、カラム選択ゲートCSG0及びCSG1の出力側はデータ線DQL0に、カラム選択ゲートCSG2及びCSG3の出力側はデータ線DQL1にそれぞれ接続されている。

【0048】データ線DQL0には、書き込み用のデータバッファDB0、読み出し用のデータバッファDB1が挿入されて入出力線I/O0に接続されており、データ線DQL1には、書き込み用のデータバッファDB2、読み出し用のデータバッファDB3が設けられて入出力線I/O1に接続されている。

【0049】カラム選択ゲートCSG0～CSG3は、カラムアドレスCAが入力されるカラムデコーダCDが出したカラム選択信号CSLにより、選択的に駆動される。

【0050】また、出力バッファDB0～DB3は、DQ制御論理回路DQCLが出したデータバッファ駆動信号QSEにより、選択的に駆動される。

【0051】例えば、ロードコーダRDによりワード線WL0が立ち上げられ、カラムデコーダCDによりビット線BL0が選択され、データバッファDB0が活性化された場合、ワード線WL0とビット線BL0の交点に接続されたメモリセルMCに、外部から入出力線I/O0を介して入力されたデータが与えられて書き込まれる。データバッファDB1が選択された場合は、このメモリセルMCから読み出されたデータが入出力線I/O0より外部へ出力される。

【0052】本実施の形態によれば、電源電圧VCCが供給されて動作するカラムデコーダCDから出力されたカラム選択信号CSLと、電源電圧VDDが供給されて動作するDQ制御論理回路DQCLから出力されたデータバ

ッファ駆動信号DQLとが、共に電源電圧VCC及びVDDの電源変動の影響を受け、また共にカラムデコーダCDを構成するトランジスタの特性及びDQ制御論理回路DQCLを構成するトランジスタの特性の製造プロセス等の変動の影響を同時に受けるので、これらの変動が生じた場合に略同一の時間で遅延する。このため、カラム選択ゲートCSG0～CSG3及びデータバッファDB0～DB3の動作タイミングを同期させ、誤動作を防止することができる。

【0053】このような第2、第3の実施の形態により得られる作用、効果について、従来の半導体記憶装置と比較して説明する。

【0054】先ず、従来の半導体記憶装置における二つの出力信号CSL、QSEが電源電圧VCC、VDDの変動、またカラムデコーダCDを構成するトランジスタ、DQ制御論理回路DQCLを構成するトランジスタの特性変動の影響を受けて独立に遅延した場合について、それぞれの位相を示した図4を用いて述べる。

【0055】本来は、図4(a)の点線にそれぞれ示されるように、カラム選択信号CSLとデータバッファ駆動信号QSEとは、それぞれのレベルは電源電圧VCC、VDDと異なるが、位相としては略同一である。これにより、データの読み出し及び書き込みが支障なく行われる。

【0056】ところが、カラム選択信号CSLは電源電圧VCCに依存して位相が変化し、電圧が高くなると位相が早まり、低くなると位相が遅くなる。同様に、データバッファ駆動信号QSEは、電源電圧VDDに依存して位相が変化し、電圧が高くなると位相が早まり、低くなると位相が遅くなる。

【0057】図4(b)に、電源電圧VCCが高く変動し、電源電圧VDDが低く変動した場合における信号CSL、QSEの位相の変化を、それぞれ一点鎖線により示す。カラム選択信号CSLは図中央印A1の方向(早い方向)へ位相がずれ、データバッファ駆動信号QSEは図中央印B1の方向(遅い方向)へ位相がずれる。これにより、図示されたように場合によっては二つの信号CSL、QSEが重複する期間が存在しなくなり、書き込み又は読み出し動作に支障をきたすこととなる。

【0058】逆に、図4(c)に電源電圧VCCが低く変動し、電源電圧VDDが高く変動した場合における信号CSL、QSEの位相の変化をそれぞれ一点鎖線により示す。カラム選択信号CSLは図中央印A2の方向(早い方向)へ位相がずれ、データバッファ駆動信号QSEは図中央印B2の方向(遅い方向)へ位相がずれる。この場合もまた、場合によっては二つの信号CSL、QSEが重複する期間が存在しなくなり、データの書き込み又は読み出し動作に支障をきたすこととなる。

【0059】このような位相のずれが生じた場合にも、二つの信号CSL、QSEの重複した期間を確保しよう

すると、従来は図4 (d) における矢印に示されたようにそれぞれのパルス幅を大きく広げる必要があった。これでは、DRAMの高速動作の妨げとなる。

【0060】これに対し、上記第2、第3の実施の形態における二つの信号CSL、QSEの位相の変化を図5に示す。図5 (a) に、信号CSL、QSEの本来の位相及び電圧を示す。

【0061】この状態から、電源電圧VCCが低下した場合を図5 (b) に示す。カラム選択信号CSLは、矢印A11に示されたように電圧が低くなり、かつ位相が遅くずれる。データパッファ駆動信号QSEは、電圧はVDDと同レベルのまま変化しないが、矢印B11で示されたように位相が信号CSLと同様に遅くずれる。これは、信号QSEが電源電圧VCC及びVDDの双方に依存し、かつ特性が同じである。逆に電源電圧VCCが高く変動した場合には、カラム選択信号CSLは電圧が高くなると共に位相が早くずれる。データパッファ駆動信号QSEは、電圧はVDDと同レベルであるが位相が同様に早くずれる。よって、いずれの場合も二つの信号CSLとQSEとの間の重複した期間が確保され、支障なく読み出し及び書き込み動作が行われる。

【0062】電源電圧VDDが低下した場合は、図5 (c) に示されるようである。データパッファ駆動信号QSEが、矢印B12で示されたように電圧が低くなり、かつ位相が遅くずれる。カラム選択信号CSLは、VCCと同レベルを維持するが、矢印A12で示されたように位相が信号QSEと同様に遅くずれる。逆に電源電圧VCCが高く変動した場合は、データパッファ駆動信号QSEは電圧が高くなりかつ位相が早くずれる。カラム選択信号CSLは、電圧はVCCと同レベルであるが位相が同様に早くずれる。よって、二つの信号CSLとQSEとの間の重複した期間が確保され、支障なく動作する。

【0063】以上説明したように、上記実施の形態によれば、外部から複数の電源電圧が供給される電子回路あるいは半導体記憶装置において、その電源電圧が独立に変動することによって生じる内部回路の遅延の不整合を排し、回路動作を安定化させ、さらには電子回路の高速動作を可能にすることができる。これは、双方の電源電圧に依存し、かつ同じ特性のトランジスタを用いることによる。また、複数の特性を有するトランジスタから構成される電子回路あるいは半導体記憶装置において、各々のトランジスタ特性がプロセス変動等により独立に変動することによって生じる内部回路の遅延の不整合を排し、回路動作を安定化させ、高速動作を可能にすることができる。

【0064】(4) 第4の実施の形態

本発明の第4の実施の形態による半導体記憶装置の構成を、図6に示す。

【0065】本実施の形態は、論理回路及び遅延補償回

路の構成をより具体化したものに相当する。

【0066】論理回路LC11、論理回路LC12はそれぞれバイナリデコード回路であり、信号a1、1bを出力する。この信号を入力する論理回路LC13は、AND回路としての構成を備えている。そして、これらの論理回路LC11～LC13は、全体で4ビットのアドレスA<0>～A<3>に対するバイナリデコーダを構成している。

【0067】論理回路LC11の入力側には、電源電圧VDDを供給され、アドレスA<0>及びA<1>が入力される遅延補償回路DC12が挿入され、論理回路LC12の入力側には、電源電圧VCCが供給され、アドレスA<2>及びA<3>が入力される遅延補償回路DC11が挿入されている。遅延補償回路DC11は、論理回路LC11と同様に電源電圧VCCが与えられて動作するトランジスタで構成された論理ゲート(AND回路AN11、インバータIN11)を有し、遅延補償回路DC12は、論理回路LC12と同様に電源電圧VDDが与えられて動作するトランジスタで構成された論理ゲート(AND回路AN12、インバータIN12)を有する。

【0068】そして、遅延補償回路DC11は論理回路LC11と略同一の遅延時間が生じるよう電気的に等価な構成を有し、遅延補償回路DC12は論理回路LC12と略同一の遅延時間が生じるよう電気的に等価な構成を有する。遅延補償回路DC11と論理回路LC11、遅延補償回路DC12と論理回路LC12とは、それぞれ論理上は異なっている。しかし、それぞれの遅延特性は同等である。

【0069】本実施の形態における動作について説明する。本実施の形態では、2ビットずつのアドレスA<0>～A<1>が遅延補償回路DC12を介して論理回路LC11に入力され、アドレスA<2>～A<3>が遅延補償回路DC11を介して論理回路LC12に入力され、論理回路LC13において論理演算が行われて16ビットの信号:ワード線電位WL<0>～WL<15>が outputされる。これにより、ある値の組み合わせを有するアドレスA<0>～A<3>が入力されると、選択的にいすれかのワード線電位WLが論理値「1」となり、他のワード線電位WLは論理値「0」となる。

【0070】図7 (a) に、本実施の形態におけるアドレスA<0：3>、図7 (b) に信号1a : A<0> and A<1>、図7 (c) に信号2a : A<2> and A<3>、図7 (d) ～(f) にワード線電位:WL<15>、WL<0>、WL<3>の波形の変化をそれぞれ示す。

【0071】先ず、アドレスA<0：3>が図7 (a) に示されたように、時点 t1において論理値「0」から「1」へ同時に変化し、所定時間経過後に「1」から「0」に同時に変化する場合を考える。

【0072】論理回路LC11の出力信号1aは、図7(b)に示された波形のように、遅延時間 τ_1 が経過した時点 t_2 において論理値「0」から「1」へ変化し、その後は「1」から「0」へ変化する。同様に、論理回路LC12の出力信号は、図7(c)に示された波形のように、遅延時間 τ_2 が経過した時点 t_2 において論理値「0」から「1」へ変化し、その後「1」から「0」へ変化する。

【0073】これらの出力信号1a、2aが与えられる論理回路LC13から出力される例えばワード線電位WL<15>は、図7(d)に示されるように、更に遅延時間 τ_3 が経過した時点 t_3 において論理値「0」から「1」へ変化し、その後「1」から「0」へ変化する。信号WL<0>は図7(e)に示されるように、時点 t_3 において論理値「1」から「0」へ変化し、その後、「0」から「1」へ変化する。ワード線電位WL<3>は、図7(f)に示されるように、論理値「0」を維持する。

【0074】しかし、この図7(a)～(f)にそれぞれ示された入出力信号の波形はいずれも理想上のものであり、論理回路LC11からの出力信号1aに生じる遅延時間 τ_1 と、論理回路LC12からの出力信号2aに生じる遅延時間 τ_2 とは等しく、タイミングにずれが生じない。しかし、電源電圧やトランジスタ特性に変動が生じると、上述したように従来は遅延時間 τ_1 、 τ_2 の間にずれが生じる。

【0075】図8(a)に示されたように、図7(a)と同様なアドレスA<0:3>が入力された場合、論理回路LC11からの出力信号1aは、図8(b)に示された波形のように図7(b)と同様に、時間 τ_1 だけ遅延して時点 t_2 から立ち上がるとする。

【0076】しかし、電源電圧VDDが低く変動したことが原因で、論理回路LC12からの出力信号2a:A<2> and A<3>が、図8(c)の波形に示されたように、図7(c)に示された波形とは異なり時間 τ_2 のみならず $\Delta\tau_2$ だけさらに遅延した時点 t_2 から立ち上がるとする。

【0077】この結果、本来同期すべき論理回路LC11とLC12との間で不整合が生じる。そして、タイミングがずれた二つの出力信号1a:A<0> and A<1>と、出力信号2a:A<2> and A<3>が入力される論理回路LC13から出力されるワード線電位WL<15>は、図8(d)に示された波形のように、図7(d)に示された波形とは異なり、時点 t_3 より遅れた時点 t_4 において論理「0」から論理「1」へ立ち上がる。これにより、この波形は論理「1」の期間が本来の長さより短くなる。

【0078】さらに、このような不整合が生じると、本来ならばワード線電位WL<3>は図7(f)に示された波形のように、論理「0」を維持しなければならない

が、図8(f)に示された波形のように、論理値「1」を誤って出力するという現象も発生する。

【0079】さらに不整合が大きくなると、論理回路LC11からの出力信号1aと論理回路LC12からの出力信号2aとの間で重複する期間が無くなり、論理回路LC13からの出力信号：ワード線電位WL<15>の波形が論理「0」を維持してしまうという現象も招くことになる。従って、従来の回路では、幅広い電源電圧の範囲における安定した動作は期待できない。

【0080】このような問題を解決する本実施の形態における動作波形を図9に示す。図9(a)に示されたように、図7(a)と同様なアドレスA<0:3>が入力された場合、論理回路LC11からの出力信号1a:A<0> and A<1>は、図9(b)に示された波形1bのように、電源電圧VCC及びVDDの変動及びトランジスタ特性の変動により遅延して立ち上がる。

【0081】同様に、論理回路LC12からの出力信号2a:A<2> and A<3>は、図9(c)に示された波形のように、電源電圧VCC及びVDDの変動及びトランジスタ特性の変動により遅延して立ち上がる。

【0082】さらに、論理回路LC13からの出力信号：ワード線電位WL<15>、WL<0>は、図9(d)、(e)に示されたように、電源電圧VCC及びVDDの変動やトランジスタ特性の変動によってそれぞれ変化する。

【0083】このときの遅延時間を、簡単な式を用いて説明する。電源電圧やトランジスタ特性の変動が生じていない状態における論理回路LC11での標準的な遅延時間を τ_1 で表し、高電源電圧VCCの変動や高電圧用トランジスタの特性変動で生じる遅延時間を $\Delta\tau_1$ で示す。同様に、電源電圧やトランジスタ特性の変動が生じていない状態における論理回路LC12での標準的な遅延時間を τ_2 で表し、低電源電圧VDDの変動や低電圧用トランジスタの特性変動で生じる遅延時間を $\Delta\tau_2$ で示す。

【0084】この場合の論理回路LC11の遅延時間は $\tau_1 + \Delta\tau_1$ 、この論理回路LC11と遅延特性が同等である遅延補償回路DC12の遅延時間は同じ $\tau_1 + \Delta\tau_1$ となる。論理回路LC12の遅延時間は $\tau_2 + \Delta\tau_2$ 、この論理回路LC12と遅延特性が同等である遅延補償回路DC12の遅延時間は同じ $\tau_2 + \Delta\tau_2$ となる。

【0085】この時、2ビットのアドレスA<0:1>の論理値が変化してから論理回路LC11の出力信号の論理値が変化するまでの時間は、 $(\tau_2 + \Delta\tau_2) + (\tau_1 + \Delta\tau_1)$ で表すことができる。同様に、2ビットのアドレスA<2:3>の論理値が変化してから論理回路LC12の出力信号の論理値が変化するまでの時間は、 $(\tau_1 + \Delta\tau_1) + (\tau_2 + \Delta\tau_2)$ となる。

【0086】この式が示すように、論理回路LC11の

出力信号 1 a の遅延時間と論理回路 L C 1 2 の出力信号 2 a の遅延時間とは、高電源電圧 VCC、低電源電圧 VDD のいずれか一方のみが変動した場合、及び/又は高電圧用トランジスタ、低電圧用トランジスタの特性のいずれか一方のみが変動した場合であっても、相互に等しくなる。

【 0 0 8 7 】さらに、電源電圧やトランジスタ特性の変動が生じていない状態における論理回路 L C 1 3 での標準的な遅延時間を τ 3 で表し、この回路 L C 1 3 に供給されている電源電圧（本実施の形態では高電源電圧 VCC の変動や高電圧用トランジスタの特性変動で生じる遅延時間を $\Delta\tau$ 3 とした場合、この論理回路 L C 1 3 からの出力信号：ワード線電位 WL <0 : 15> の遅延時間は、変動がない場合 τ 1 + τ 2 + $\Delta\tau$ 3 であり、変動が生じた場合は $\Delta\tau$ 1 + $\Delta\tau$ 2 + $\Delta\tau$ 3 となる。

【 0 0 8 8 】論理回路 L C 1 3 の出力における、変動がない場合の遅延時間、並びに変動による遅延時間は、遅延補償回路 D C 1 1、D C 1 2 を挿入する前に比べて大きくなる。しかし、これによる不利益は、回路全体を高電圧用トランジスタで構成した場合、あるいは低電圧用トランジスタで構成した場合と比較すると小さい。

【 0 0 8 9 】このように本実施の形態によれば、電源電圧やトランジスタ特性の変動により、論理回路 L C 1 1 における遅延時間と論理回路 L C 1 2 における遅延時間との間に不整合が生じた場合であっても、それぞれの入力側に設けられた遅延補償回路 D C 1 2、D C 1 1 の有する作用により、不整合が解消されて論理回路 L C 1 3 からの出力信号の波形が細く変形したり消滅するといった不具合は発生しない。また、本来論理「0」を維持すべき出力信号が論理値「1」となるような現象も発生することがない。

【 0 0 9 0 】 (5) 第 5 の実施の形態

本発明の第 5 の実施の形態について、その構成を示した図 10 を用いて説明する。

【 0 0 9 1 】本実施の形態は、上記第 4 の実施の形態において、低電圧の信号線を高電圧の回路に接続する際に、その間に VDD/VCC レベルシフタを挿入したものに相当する。今日では、高電源電圧 VCC として 2.5V、低電源電圧 VDD として 1.5V を用いる場合が一般的である。このような場合に、1.5V で駆動する信号線を 2.5V 駆動の CMOS 回路に接続すると、P チャネルトランジスタが完全に遮断状態にならず、電流を流し続けることになる。このような事態を回避するため、信号線の電位を 2.5V に昇圧変換する VDD/VCC レベルシフタが必要になる。

【 0 0 9 2 】しかし、レベルシフタは一般に P チャネルトランジスタと N チャネルトランジスタとの電流の駆動能力比を利用した回路である場合が多く、このような構成では遅延時間が高電源電圧 VCC と低電源電圧 VDD の電源変動に大きく影響を受けることになる。

【 0 0 9 3 】そこで本実施の形態では、図 10 に示されたように、高電源電圧 VCC が供給される論理回路 L C 1 1 の入力側にレベルシフタ L S 1 2 を挿入し、さらに論理回路 L C 1 2 の入力側に挿入された遅延補償回路 D C 1 1 の入力側にレベルシフタ L S 1 1 を挿入している。ここで、二つのレベルシフタ L S 1 1、L S 1 2 は回路構成が等価であるため、電源電圧 VCC の変動やトランジスタ特性の変動に対して常に相互に等しい遅延時間が生じることになる。よって、このようなレベルシフタ L S 1 1、L S 1 2 をそれぞれ論理回路 L C 1 2、L C 1 1 の入力側に挿入しても、遅延時間に不整合をもたらすおそれはない。

【 0 0 9 4 】 (6) 第 6 の実施の形態

本発明の第 6 の実施の形態による半導体記憶装置について、図 11 を用いて説明する。本実施の形態は、本発明を DRAM に適用した例であり、三つの論理回路 L C 3 1 ~ L S 3 3 のうち論理回路 L C 3 1 はロードコア、論理回路 L C 3 2 はセンサアンプ制御回路、論理回路 L C 3 3 はメモリセルアレイ及びセンサアンプに相当する。

【 0 0 9 5 】そして、上記第 5 の実施の形態と同様に、論理回路 L C 3 1 の入力側に、遅延補償回路 D C 3 2、VDD/VCC レベルシフタ L S 3 2 が直列に挿入され、論理回路 L C 2 の入力側に、VDD/VCC レベルシフタ L S 3 1、遅延補償回路 D C 3 1 が直列に挿入されている。

【 0 0 9 6 】ここで、遅延補償回路 D C 3 1 は、論理回路 L C 3 1 と等価な遅延特性を有する構成を有し、遅延補償回路 D C 3 2 は、論理回路 L C 3 2 と等価な遅延特性を有する構成を有する。またレベルシフタ L S 3 1、L S 3 2 は同一の回路構成を有する。遅延補償回路 D C 3 1 には、その一部に VCC/VDD レベルシフタ L S 3 3 を含んでいる。

【 0 0 9 7 】論理回路 L C 3 3 に含まれるメモリセルにおいて、1 つの DRAM セルが 1 つの N チャネルトランジスタ T r と 1 つのキャッシュ C P からなり、キャッシュ C P の一端に接続されたストレージノード S が N チャネルトランジスタ T r を介してビット線 B L に接続される。この構成において、ビット線 B L のハイレベルを伝送するためには、ゲート電位をソース電位より少くともトランジスタ T r の閾値電圧 Vth 分高くしなければならない。

【 0 0 9 8 】例えば、最近の技術では、ビット線 B L のハイレベルを 1.5V、ワード線 WL のハイレベルを 3.0V に設定するという例がある。この場合、論理回路を構成する低電圧用トランジスタは低電源電圧 1.5V で最適化される。ゲート酸化膜厚は 3 nm、チャネル長は 1.00 nm まで微細化され、これにより構成される CMOS ゲートの信号伝達遅延は 3.0 pS 程度まで高速化される。

【 0 0 9 9 】一方、DRAM セルアレイを構成する Nチ

ヤネルトランジスタ T r、及び論理回路 L C 1 (ローデコーダ) を構成するトランジスタは高電圧用トランジスタであって高電源電圧 3.0V に最適化される。この場合のゲート酸化膜厚は 6nm、チャネル長は 200nm 程度となる。

【0100】仮に、低電圧用トランジスタだけで D R A M を構成すると、この場合のローデコーダ R D とメモリセルアレイ M C A は、図 13 に示されるような構成となる。1 つのメモリセルに、N チャネルトランジスタ N T r 及び P チャネルトランジスタ P T r と、1 つのキャッシュ C P とを用いる必要が生じる。この結果、正負論理の対のワード線 W L n 及び W L p を配設しなければならなくなる。よって、メモリセルアレイの面積が大幅に増大する。従って、たとえ微細化という面で不利な高電圧用トランジスタをその一部に用いたとしても、簡易な構成とすることができる本実施の形態による回路の方が、高集積化が可能となる。

【0101】次に、本実施の形態における動作タイミングについて説明する。図 12 に、本実施の形態における各信号の動作波形を示す。本実施の形態では、論理回路 L C 3 3 のメモリセル及びセンサーアンプにおいて、高電圧の信号線 (ワード線 W L <0:3>) と、低電圧の信号線 (センサーアンプ制御線 S E P n, S E N p) とを接続する必要があり、両者の動作タイミングの整合性を確保する必要がある。

【0102】図 12 (a) に示された波形を有するタイミング信号 R A S p に同期して、論理回路 L C 3 1, L C 3 2, L C 3 3 のタイミングが同期される。

【0103】タイミング信号 R A S p がハイレベルになると、遮断補償回路 D C 3 2, V D D / V C C レベルシフタ L S 3 2 を介して、図 12 (b) に示されたローデコーダ制御信号 R S T p が生成されて論理回路 L C 3 1 に与えられる。

【0104】論理回路 L C 3 1 に入力されるローデレス R A t <0>, R A c <0>, R A t <1>, R A c <1> のレベルに従って、図 12 (c) に示されたように 4 本のワード線 W L のうちのいずれか一本がハイレベルになる。ここで、ワード線 W L は上述したように 3.0V まで上昇する。

【0105】いずれかのワード線 W L がハイレベルになるとによって、メモリセルのストレージノード S N とビット線 B L とが電気的に接続され、メモリセルに蓄積された電荷量に従って、ビット線 B L t と B L c との間に微少な電位差が生じる。

【0106】この後、論理回路 L C 3 2 から出力されたセンサーアンプ制御信号 S E N p 及び S E P n が図 12 (b) に示されたようにハイレベルになり、論理回路 L C 3 3 に含まれるセンサーアンプが活性化される。ビット線対 B L t, B L c の電位差が増幅され、最終的に 1.5V までになる。

【0107】その後、タイミング信号 R A S p が図 12 (a) に示されたようにローレベルになるタイミングに同期して、図 12 (b) のようにワード線制御線 R S T p がローレベルに戻り、図 12 (c) のように立ち上がりでワード線 W L の電位がローレベルに戻る。さらに、センサーアンプ制御信号 S E N p がローレベルに戻ることにより、センサーアンプは非活性状態になり、ビット線対 B L t 及び B L c は次のセンサ動作のために 0.75V にプリチャージされる。

【0108】上述した一連の動作のタイミングを制御することは、メモリの読み出し及び書き込みにおいて非常に重要である。例えば、ワード線 W L がハイレベルになつてからセンサーアンプ制御信号 S E N p がハイレベルになるまでの時間間隔が短すぎると、ビット線対 B L t, B L c の間に生じる電位差が小さ過ぎて、読み出し不良となる。

【0109】逆に、両者の時間間隔が長すぎると、リストア (データの書き戻し動作) の時間が短くなり、ビット線 B L t が 1.5V まで達することができず、データの消失不良となる。

【0110】本実施の形態によれば、高電圧電源 V C C, 低電圧電源 V D D の独立した電圧変動、あるいは高電圧用トランジスタ、低電圧用トランジスタの独立した特性変動が生じた場合にも、上述のタイミングを最適に制御することができるであり、誤動作を招くことなく高速動作を実現することができる。

【0111】(7) 第 7 の実施の形態
本発明の第 7 の実施の形態について、その構成を示した図 14 を用いて説明する。

【0112】本実施の形態は、本発明を半導体記憶装置におけるカラム選択ゲート C S G 4 1 とデータパッファ (書き込み用データパッファ D-B-F, 読み出し用データパッファ Q-B-F) の制御に用いた例に相当する。

【0113】この場合の論理回路 L C 4 1 はカラムデコーダであり、論理回路 L C 4 2 はパルス発生回路 P G 4 2 及びデータパッファ制御回路 D B C C 4 2 であり、論理回路 L C 4 3 はカラム選択ゲート C S G 4 1 及びデータパッファ D-B-F, Q-B-F である。

【0114】これらの回路の接続関係は、上記第 6 の実施の形態と同様である。即ち、タイミング信号 C L K p が遮断補償回路 D C 4 2, V D D / V C C レベルシフタ L S 4 2 を介して論理回路 L C 4 1 に与えられ、タイミング信号 C L K p が V D D / V C C レベルシフタ L S 4 1, 遮断補償回路 D C 4 1 を介して論理回路 L C 4 2 に与えられ、論理回路 L C 4 1 から出力されたカラム選択信号 C S L p と、論理回路 L C 4 2 から出力されたデータパッファ駆動信号 D S E p, Q S E p とが論理回路 L C 4 3 に入力される。

【0115】遮断補償回路 D C 4 1 は論理回路 L C 4 1 と同等な遮断特性を有するように電気的に等価な構成を

有し、遅延補償回路D C 4 2は論理回路L C 4 2と同等な遅延特性を有するように電気的に等価な構成を有する。また、V DD/V CCレベルシフタL S 4 1、L S 4 2は、同一の回路構成を有する。

【0116】最近のDRAMでは、カラムをアクセスする動作は200MHzを超える高速動作が求められるようになっている。同時に、少しでもコストを削減するために、高集積化がより一層求められている。この2つの要求を満たすために最も重要な箇所が、カラム選択ゲートの構成とその制御手法である。

【0117】カラム選択ゲートCS G 4 1は、センサアンプ領域において、ピット線BL 1につき1つずつ設けられる。そして、論理回路(カラムデコーダ)L C 4 1に入力されるカラムアドレスCAに従って、1つのカラム選択線CS L pが選択され、これに接続されたカラム選択ゲートCS G 4 1が対応するピット線対BL t及びBL cとデータ線対D Q t及びD Q cとを電気的に接続する。

【0118】例えば最近の16Mビット混載型DRAMでは、128本のデータ線に対するピット線の本数は6万5線本に達する。高集積化を実現するためには、カラム選択ゲートは簡易な構成であることが求められ、その一つの構成例がNチャネルトランジスタをスイッチング素子として用いるものである。

【0119】しかし、この構成では、上記第6の実施の形態で説明した1トランジスタ及び1キャバシタで構成されたDRAMセルの場合と同様に、カラム選択信号線CS L pの電圧をメモリセルのトランジスタの閾値V th分以上に高くしなければならない。よって、カラム選択信号線CS L pは、高電圧線となる。

【0120】一方、128本のデータ線を駆動する書き込み用データバッファD-B F及び読み出し用データバッファQ-B Fは高速動作を実現するため、低電源電圧を用いて低電圧用トランジスタで構成することが望ましい。

【0121】ここに、高電圧線のカラム選択信号線CS Lと低電圧線のデータバッファ駆動線D S E p、Q S E pの駆動のタイミングを合わせる必要が生じる。

【0122】図15に、この場合の動作波形を示し、本実施の形態における動作について説明する。図15(a)に示された波形を有するタイミング信号CL K pに同期して、このDRAMは動作する。タイミング信号CL K pがハイレベルになると、遅延補償回路D C 4 2、レベルシフタL S 4 2を介して図15(c)に示されたカラムデコーダ制御信号CS L E pが生成され、論理回路L C 4 1(カラムデコーダ)に入力される。

【0123】この信号CS L E pに同期し、論理回路L C 4 1に入力されるカラムアドレスCA t<0>、CA c<0>、CA t<1>、CA c<1>に従って、図15(c)に示されたように1本のカラム選択信号線CS L p

がハイレベルになる。ここで、カラム選択信号線CS L pは、上述したように2.5Vという高い電位まで到達する。

【0124】カラム選択信号線CS L pがハイレベルになることによって、ピット線対BL t、BL cとデータ線対D Q t、D Q cとが電気的に接続される。

【0125】それと同時に、論理回路L C 4 2から出力される、書き込み用データバッファD-B F、あるいは読み出し用データバッファQ-B Fを活性化するデータバッファ駆動信号線D S E p、あるいはQ S E pがハイレベルになる。この動作は、最近では1~2nsで完了することができる。また、この状態で放置すると余分な漏電流が発生することもあり、カラム選択信号線CS Lを自己整合的に非活性化し、同時に書き込み用データバッファD-B F、読み出し用データバッファQ-B Fを非活性化するためのタイミングを、論理回路L C 2に含まれるパルス発生回路P G 4 2が制御する。

【0126】上記第6の実施の形態と同様に、本実施の形態においても上述した一連の動作のタイミングを制御することが非常に重要である。高速動作を目指すためには、パルス幅を短くする必要がある。例えば、200MHzの動作を目指すためには、素子の特性のばらつきや掘ぎを考慮すると、パルス幅の設定値は2ns以下でなければならない。

【0127】その一方で、パルス幅が短すぎても、動作不良を招くこととなる。読み出し動作においては、データ線に十分な電位が発生していない段階で読み出し用データバッファQ-B Fを動作させると、読み出し不良となる。また、書き込み動作においては、ピット線対BL t、BL cの電位の高低関係を反転させることができず書き込み不良となる。このような動作不良が起きる原因には、パルス幅が短すぎる場合の他に、カラム選択信号線CS L pとデータバッファ駆動信号Q S E p、D S E pとの間のタイミングの不整合が原因となることがある。

【0128】これに対し、本実施の形態によれば、論理回路L Cから出力されるカラム選択信号CS L pと、論理回路L C 2から出力されるデータバッファ駆動信号Q S E p及びD S E pとのタイミングの整合性を、二つの電源電圧V CC、V DDで独立して変動した生じた場合、また両者を構成する高電圧用トランジスタ、低電圧用トランジスタの特性が独立してばらついた場合であっても確保することが可能である。これにより、パルス幅や遅延時間等に対して余分な余裕を必要とすることなく安定した回路動作を実現することができる。

【0129】上述した実施の形態はいずれも一例であり、本発明を限定するものではない。例えば、上記第2~第7の実施の実施の形態ではDRAMを例に挙げて説明している。しかし、本発明はDRAMに限らず、複数の電源電圧が供給されて動作し、かつ動作を同期する必

要がある二つの回路を有する装置に幅広く適用することが可能である。

【0130】

【発明の効果】以上説明したように、本発明の電子回路及び半導体記憶装置は、第1、第2の電源電圧がそれぞれ供給されて動作する第1、第2の論理回路の入力側に、それぞれ第2、第1の電源電圧が供給され、あるいは第2、第1の論理回路を構成するトランジスタと同等の特性を有するトランジスタを含む第2、第1の遅延補償回路を挿入したことにより、相互に独立して変動し得る電源変動やトランジスタ特性の変動の影響が相殺されて、第1、第2の論理回路からの出力が共に第1及び第2の電源電圧、あるいは第1及び第2の論理回路のトランジスタ特性の影響を共に受けで遅延するので、後段に接続される回路の誤動作を防止し動作の安定化かつ高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による電子回路の構成を示したブロック図。

【図2】本発明の第2の実施の形態による半導体記憶装置の構成を示したブロック図。

【図3】本発明の第3の実施の形態による半導体記憶装置の構成を示したブロック図。

【図4】従来の半導体記憶装置における二つの信号の遅延による位相のずれを示した説明図。

【図5】上記第2、又は第3の実施の形態による半導体記憶装置における信号の遅延特性を示した説明図。

【図6】本発明の第4の実施の形態による半導体記憶装置の構成を示した回路図。

【図7】半導体記憶装置における理想状態での信号の波形の変化を示すタイムチャート。

【図8】従来の半導体記憶装置における信号の波形の変化を示すタイムチャート。

【図9】上記第4の実施の形態による半導体記憶装置における信号の波形の変化を示すタイムチャート。

【図10】本発明の第5の実施の形態による半導体記憶装置の構成を示した回路図。

【図11】本発明の第6の実施の形態による半導体記憶装置の構成を示した回路図。

【図12】同第6の実施の形態による半導体記憶装置に

おける信号の波形の変化を示すタイムチャート。

【図13】低電圧用トランジスタで構成されたCMOS-DRAMセルアレイの構成を示した回路図。

【図14】本発明の第7の実施の形態による半導体記憶装置の構成を示した回路図。

【図15】同第7の実施の形態による半導体記憶装置における信号の波形の変化を示すタイムチャート。

【符号の説明】

DC1～DC2、DC11～DC12、DC31～DC10 32、DC41～DC42 遅延補償回路
LC1～LC3、LC11～LC13、LC31～LC33、LC41～LC43 論理回路

INPUT 入力信号

OUT1、OUT2 出力信号

CLKp クロック

LS1、LS3、LS11～LS12、LS31～LS32、LS41～LS42 VDD/VCCレベルシフタ

LS2、LS33 VCC/VDDレベルシフタ

CSLPG CSLパルス発生器

DQPG DQパルス発生器

CD カラムデコーダ

DQCL DQ制御論理回路

CSL0～CSL3 カラム選択線

DQL0～DQL1 データ線

I/O0～I/O1 入出力線

RD ロードデコーダ

MC メモリセル

MCA メモリセルアレイ

BL0～BL3 ビット線

WL0～WL3 ワード線

CSG0～CSG3 カラム選択ゲート

SN ストレージノード

D-BF 書き込み用バッファ

PG パルス発生回路

SEPn、SENp センスアンプ制御線

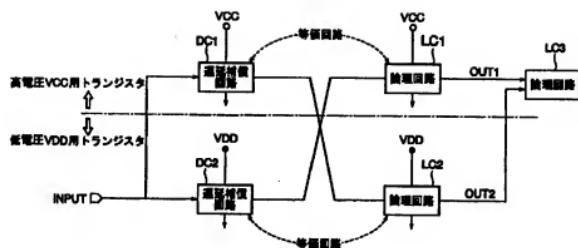
BLt、BLc ビット線

CP キャバシタ

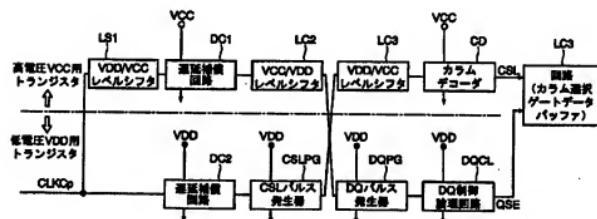
DB0～DB3 データバッファ

F/F フリップフロップ

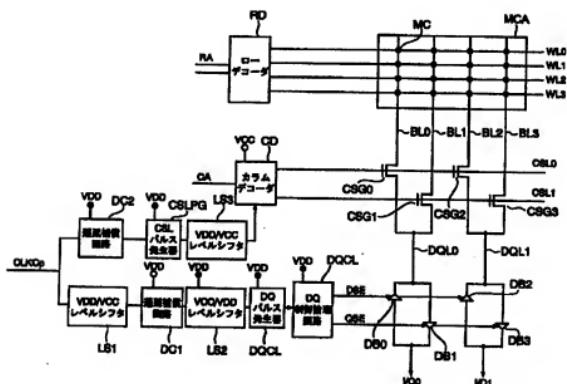
【図 1】



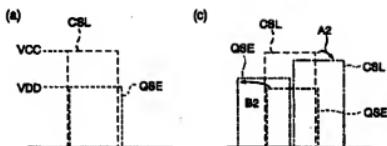
【図 2】



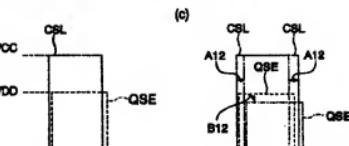
【図 3】



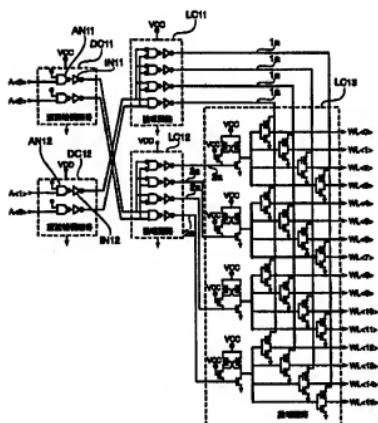
[図4]



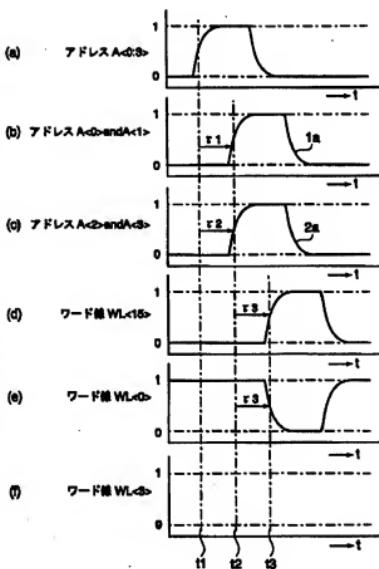
【图 5】



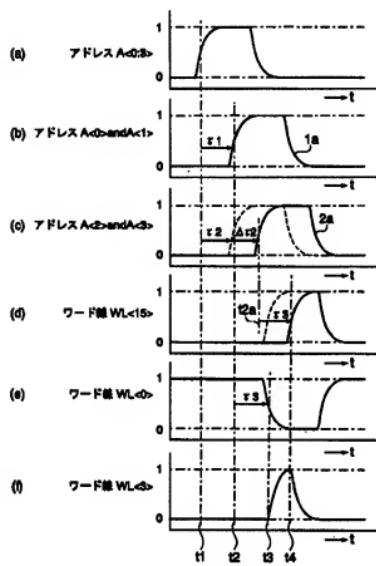
[图 6]



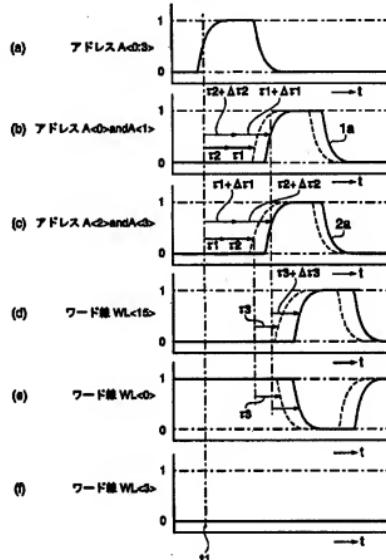
[图 7]



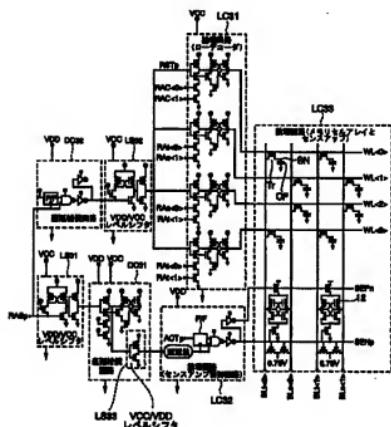
【図 8】



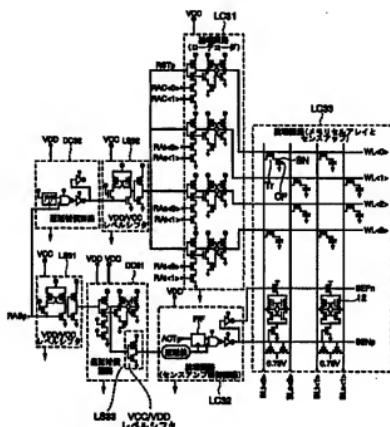
【図 9】



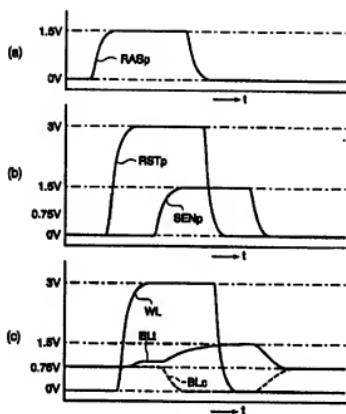
【図 10】



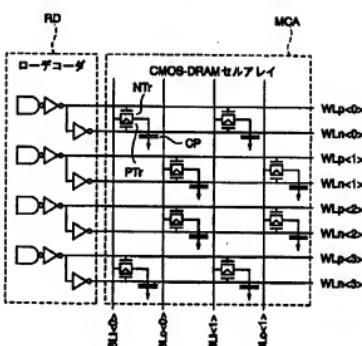
【図 11】



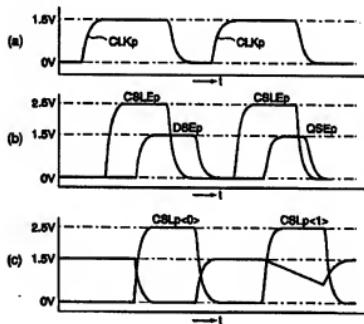
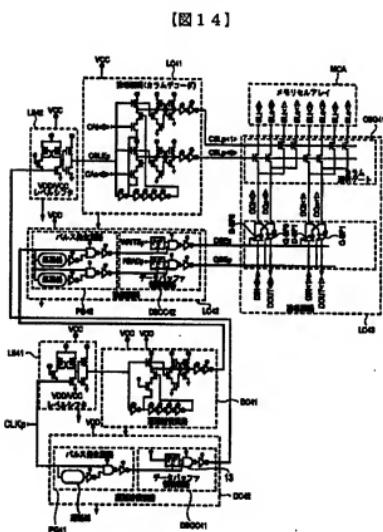
[図 1.2]



[図 1.3]



[図 1.5]



フロントページの続き

Fターム(参考) 5J056 AA04 BB38 BB40 CC05 CC15
CC21 DD12 DD29 DD51 EE08
FF01 FF10 GG09 KK01
5M024 AA21 AA41 BB04 BB27 BB33
BB35 CC82 DD30 DD62 DD63
DD85 DD90 FF02 FF03 GG01
PP01 PP02 PP03 PP07 PP10